

L143 ANSWER 11 OF 26 CAPLUS COPYRIGHT ACS on STN

AN 2002:119796 CAPLUS

DN 136:176503

TI Compound semiconductor epitaxial wafers for heterojunction transistors

IN Tsuchiya, Tadayoshi; Kihara, Norio

PA Hitachi Cable, Ltd., Japan

SO Jpn. Kokai Tokkyo Koho, 4 pp.

CODEN: JKXXAF

DT Patent

LA Japanese

FAN.CNT 1

	PATENT NO.	KIND	DATE	APPLICATION NO.	DATE
PI	JP 2002050758	A2	20020215	JP 2000-240379	20000803
PRAI	JP 2000-240379		20000803		

AB Buffer layers contg. at least AlGa_N among Ga_N, AlGa_N and Al_N are formed on sapphire substrates, and heterojunctions comprising Ga_N channel layers and AlGa_N carrier supplying layers are formed on the buffer layers, where the buffer layers have no smaller linear expansion coeff. than the carrier supplying layers. Extension deformation in the carrier supplying layers is moderated. 2-Dimensional hole gas can be generated while suppressing electron formation at the heterojunction interfaces, and hole-carrier p-type FETs can be realized.

IT 25617-97-4, Gallium nitride (Ga_N) 117656-36-7,

Aluminum gallium nitride (Al_{0.3}Ga_{0.7}N)

RL: DEV (Device component use); USES (Uses)

(buffer layer; compd.

semiconductor epitaxial wafers for heterojunction transistors)

RN 25617-97-4 CAPLUS

CN Gallium nitride (Ga_N) (6CI, 8CI, 9CI) (CA INDEX NAME)



RN 117656-36-7 CAPLUS

CN Aluminum gallium nitride (Al_{0.3}Ga_{0.7}N) (9CI) (CA INDEX NAME)

Component	Ratio	Component	Registry Number
N	1		17778-88-0
Ga	0.7		7440-55-3
Al	0.3		7429-90-5

IT 125297-45-2, Aluminum gallium nitride (Al_{0.2}Ga_{0.8}N)

RL: DEV (Device component use); USES (Uses)

(carrier supplying layer; compd. semiconductor epitaxial wafers for heterojunction transistors)

RN 125297-45-2 CAPLUS

CN Aluminum gallium nitride (Al_{0.2}Ga_{0.8}N) (9CI) (CA INDEX NAME)

Component	Ratio	Component	Registry Number

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-50758

(P2002-50758A)

(43) 公開日 平成14年2月15日 (2002.2.15)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 1 L 29/778		C 3 0 B 29/40	5 0 2 H 4 G 0 7 7
21/338		H 0 1 L 21/205	5 F 0 4 5
29/812		29/80	H 5 F 1 0 2
C 3 0 B 29/40	5 0 2		
H 0 1 L 21/205			

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願2000-240379 (P2000-240379)

(22) 出願日 平成12年8月3日 (2000.8.3)

(71) 出願人 000005120

日立電線株式会社

東京都千代田区大手町一丁目6番1号

(72) 発明者 土屋 忠雄

茨城県土浦市木田余町3550番地 日立電線

株式会社アドバンスリサーチセンタ内

(72) 発明者 木原 倫夫

茨城県土浦市木田余町3550番地 日立電線

株式会社アドバンスリサーチセンタ内

(74) 代理人 100068021

弁理士 網谷 信雄

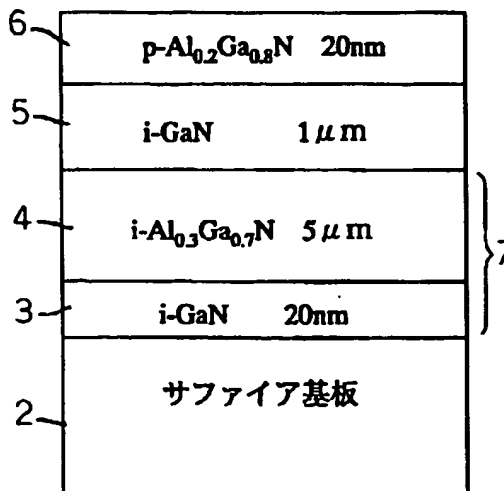
最終頁に続く

(54) 【発明の名称】 化合物半導体エピタキシャルウェハ及びそれを用いたトランジスタ

(57) 【要約】

【課題】 正孔をキャリアとする化合物半導体エピタキシャルウェハ及びそれを用いたトランジスタを提供する。

【解決手段】 チャネル層5の下部に、キャリア供給層6と線膨張係数が等しいか大きいバッファ層7を十分な厚さで挿入することにより、キャリア供給層6に生じる引っ張り歪を緩和し、ヘテロ界面への電子の誘起を押さえて2次元正孔ガスを発生させることができ、この結果、正孔をキャリアとするp型FETを実現することができる。



【特許請求の範囲】

【請求項1】 サファイア基板上に、GaN、AlGa
N及びAlNのうち少なくともAlGa
Nを有するバッ
ファ層を形成し、該バッファ層の上にGaN及びp型A
lGa
Nのヘテロ接合を形成し、上記バッファ層のAl
Ga
N層の膜厚をエピタキシャルウェハ全体におけるG
aN層の膜厚より厚くしたことを特徴とする化合物半導
体エピタキシャルウェハ。

【請求項2】 請求項1において、上記バッファ層のA
lGa
NのAlNの組成比がp型AlGa
NのAlN組 10
成比より高い化合物半導体エピタキシャルウェハ。

【請求項3】 請求項1または2に記載のエピタキシャ
ルウェハを用いた化合物半導体エピタキシャルウェハを
用いたトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、化合物半導体エ
ピタキシャルウェハ及びそれを用いたトランジスタに関す
る。

【0002】

【従来の技術】 窒化ガリウム系の電界効果トランジスタ
(以下「FET」という。)としては、従来、n型Ga
Nをチャンネル層とするFET及びn型AlGa
N/G
aN選択ドープ構造を有するFETの研究開発が進めら
れている。

【0003】

【発明が解決しようとする課題】 ところで、上述した従
来技術のFETは全てデバイス動作に関わる主たるキャ
リアが電子のn型FETである。ここで、正孔をキャ
リアとするp型FETがあれば、C-MOSTランジスタ 30
のように相補型のFETが実現でき、負電源が不要にな
る。

【0004】 しかしながら正孔をキャリアとするFET
は実用化が困難である。特に、p型AlGa
N/GaN
選択ドープ構造では、ヒエゾ効果のために界面に電子が
誘起され、所望の正孔を発生させることができないとい
う問題があった。

【0005】 そこで、本発明の目的は、上記課題を解決
し、正孔をキャリアとする化合物半導体エピタキシャル
ウェハ及びそれを用いたトランジスタを提供することに 40
ある。

【0006】

【課題を解決するための手段】 上記目的を達成するため
に本発明の化合物半導体エピタキシャルウェハは、サフ
アィア基板上に、GaN、AlGa
N及びAlNのうち
少なくともAlGa
Nを有するバッファ層を形成し、バ
ッファ層の上にGaN及びp型AlGa
Nのヘテロ接合
を形成し、バッファ層のAlGa
N層の膜厚をエピタキ
シャルウェハ全体におけるGaN層の膜厚より厚くした
ものである。

【0007】 上記構成に加え本発明の化合物半導体エ
ピタキシャルウェハは、バッファ層のAlGa
NのAlN
の組成比がp型AlGa
NのAlN組成比より高いのが
好ましい。

【0008】 本発明のトランジスタは上記構成のエピ
タキシャルウェハを用いたものである。

【0009】 本発明によれば、p型AlGa
N/GaN
選択ドープ構造で、界面に電子が誘起される原因は、キ
ャリア供給層であるAlGa
Nがチャネル層であるGa
Nより線膨張係数が大きいこと、AlGa
Nキャリア供
給層に成膜後の冷却中に弾性応力によって生じる引っ張
り歪である。AlGa
Nキャリア供給層のヒエゾ効果が
大きいこと、この引っ張り歪に応じて界面にキャリアが
誘起される。GaN系の材料のエピタキシャル成長用の
基板には、通常サファイアもしくはSiCの単結晶が用
いられる。この基板の上にGaNをc軸配向して成長さ
せる場合、Ga面が上になるように成長(Ga面成長)
させる方法が安定であることが知られている。このGa
面成長はヒエゾ分極の方向が必ず界面に電子を誘起する
方向となり、正孔を界面に形成する阻害要因となる。界
面に正孔を誘起するためには、Ga面とは反対のN面が
上になる成長(N面成長)が必要となるが、このN面成
長は不安定な成長となり、良い結晶が得られない。

【0010】 本発明ではチャネル層となるGaN層の下
部に、AlGa
Nキャリア供給層と線膨張係数が等しい
か大きいバッファ層を十分な厚さで挿入することによ
り、AlGa
Nキャリア供給層に生じる引っ張り歪を緩
和し、ヘテロ界面への電子の誘起を押さえて2次元正孔
ガスを発生させることができ、この結果、正孔をキャ
リアとするp型FETを実現することができる。

【0011】

【発明の実施の形態】 以下、本発明の実施の形態を添付
図面に基づいて詳述する。

【0012】 図1は本発明の化合物半導体エピタキシャ
ルウェハの一実施の形態を示す構造図である。

【0013】 同図に示すエピタキシャルウェハ1は、サ
ファイア基板2上に、厚さ20nmのi-GaN層3、
厚さ5μmのi-Al_{0.3}Ga_{0.7}N層4、厚さ1μm
のチャネル層としてのi-GaN層5及び厚さ20nm
のキャリア供給層としてのp-Al_{0.2}Ga_{0.8}N層6
を順次形成したものである。

【0014】 i-Al_{0.3}Ga_{0.7}N層4及びi-Ga
N層5でバッファ層7を形成し、p-Al_{0.2}Ga_{0.8}
N層4及びi-GaN層5でヘテロ接合を形成してい
る。

【0015】 このエピタキシャルウェハ1のエピタキ
シャル成長には有機金属気相成長法を用いた。ガリウム原
料にはTMG(トリメチルガリウム)を用い、アルミニ
ウム原料にはTMA(トリメチルアルミニウム)を用
い、窒素原料にはアンモニアガスを用い、p型ドーパ 50

トとしては、ビスシクロペンタマグネシウムを用いた。シリコン原料にはモノシランを用いた。エピタキシャル成長はフェイスアップの高周波誘導加熱模型減圧炉（図示せず。）を用いて炉内圧力17955Pa（135 Torr）で行った。基板2にはA面及びC面のサファイア単結晶基板を用いた。エピタキシャル成長時の基板温度は1050℃である。

【0016】このようにして成長させたエピタキシャルウェハ1のC-V測定で求めたキャリア濃度プロファイルを図2に示す。

*10 【表1】

	AlN組成比	膜厚(nm)	シート濃度(cm ⁻²)
標準	0.3	5000	1.20E+13
組成比依存性	0	5000	測定不可
	0.1		5.00E+11
	0.2		1.00E+13
	0.5		1.25E+13
	1		1.30E+13
膜厚依存性	0.3	3000	1.20E+13
		2000	1.20E+13
		1000	1.00E+13
		50	測定不可

【0020】同表より、AlGa_{0.3}NのAlN組成比を供給層の組成比より下げたり、あるいは膜厚をGa_{0.3}Nの総膜厚より薄くした場合に、2次元正孔ガスの濃度が低下する傾向があることが分る。これは、前述のようにバッファ層7のAlGa_{0.3}Nバッファ層4の効果が薄れてGa_{0.3}N層3の影響が相対的に高まったためと見られる。

【0021】図3は図1に示したエピタキシャルウェハを用いたトランジスタの構造図である。なお、数値については限定されるものではない。

【0022】図3に示すトランジスタ10は、サファイア基板2上に、厚さ20nmのi-GaN層3、厚さ5μmのi-Al_{0.3}Ga_{0.7}N層4、厚さ1μmのチャネル層としてのi-GaN層5及び厚さ20nmのキャリア供給層としてのp-Al_{0.3}Ga_{0.7}N層6を順次形成し、このp-Al_{0.3}Ga_{0.7}N層6の上にソース電極11、ゲート電極（ゲート長さL_g=1μm）12及びドレイン電極13を形成したものである。

【0023】図4は図3に示したトランジスタの静特性を示す図であり、横軸がドレイン電圧V_d軸を示し、縦軸がドレイン電流I_d軸を示す。

【0024】同図より、p型FETが通常のn型FETと同様の静特性を有することが分る。

【0025】ここで、バッファ層7としては、(Ga_{0.3}N、AlGa_{0.3}N)、(AlN、AlGa_{0.3}N)、(AlN、Ga_{0.3}N、AlGa_{0.3}N)、(Ga_{0.3}N、AlGa_{0.3}N、Ga_{0.3}N、AlGa_{0.3}N)、(AlN、AlGa_{0.3}N、Ga_{0.3}N、AlGa_{0.3}N)、(Ga_{0.3}N、Al_{0.3}Ga_{0.7}N、Al_{0.3}Ga_{0.7}N、Al_{0.3}Ga_{0.7}N)の組み合わせが挙げられる。但し、()内の左側が基板側、右側が電極※50

*【0017】図2は図1に示したエピタキシャルウェハのキャリア濃度と深さとの関係を示す図であり、横軸が深さ軸を示し、縦軸がキャリア濃度軸を示す。

【0018】同図よりピークは界面に2次元正孔ガスが生じていることを示しており、従来の問題点は解決できることが分った。このピークからシート正孔濃度を求め、バッファ層7に用いられているAlGa_{0.3}Nの組成、膜厚との関係を示したのが表1である。

【0019】

※側になる。

【0026】このように構成したことで、チャネル層5の下部に、キャリア供給層6と線膨張係数が等しい大きなAlGa_{0.3}Nバッファ層4を挿入する場合、チャネル層5とAlGa_{0.3}Nバッファ層4との間の格子定数の違いに起因する臨界膜厚が存在する。この臨界膜厚を超える厚さで挿入すると、結晶性欠陥が生じてデバイス特性の劣化を招くおそれがある。この劣化を防止するために

30

は、サファイア基板2上にもしGa_{0.3}Nバッファ層3を成長させたい場合でも、このGa_{0.3}Nバッファ層3を500℃付近で成長させる、いわゆる低温成長バッファのみとし、その他のバッファ層はAlGa_{0.3}N層とすることによって、積層構造全体としての線膨張係数をキャリア供給層6に近付け、それによってAlGa_{0.3}Nバッファ層4の弾性歪を低減する方法が有効である。この場合はGa_{0.3}Nバッファ層3が圧縮応力を受けるが、本発明ではGa_{0.3}Nバッファ層3として必要な厚さが薄いので、問題が生じない。

【0027】以上において本発明の化合物半導体エピタキシャルウェハを用いたトランジスタによるp型FETを、n型FETと組み合わせることで相補型のトランジスタを構成することができ、負電源が不要になり、回路構成が簡単になり、小形化、低コスト化が図れる。

【0028】

【発明の効果】以上要するに本発明によれば、次のような優れた効果を発揮する。

【0029】正孔をキャリアとする化合物半導体エピタキシャルウェハ及びそれを用いたトランジスタの提供を実現することができる。

【図面の簡単な説明】

【図1】本発明の化合物半導体エピタキシャルウェハの一実施の形態を示す構造図である。

【図2】図1に示したエピタキシャルウェハのキャリア濃度と深さとの関係を示す図である。

【図3】図1に示したエピタキシャルウェハを用いたトランジスタの構造図である。

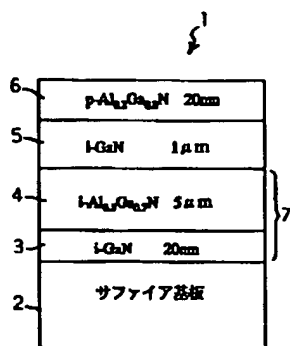
【図4】図3に示したトランジスタの静特性を示す図で

ある。

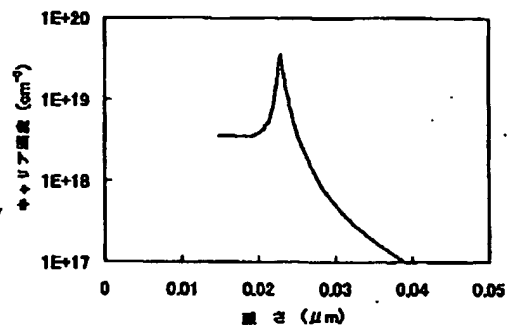
【符号の説明】

- 2 サファイア基板
- 3 GaN層 (GaNバッファ層)
- 4 AlGaIn層 (AlGaInバッファ層)
- 5 GaN層 (チャネル層)
- 6 AlGaIn層 (キャリア供給層)
- 7 バッファ層

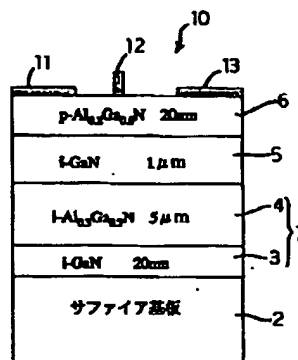
【図1】



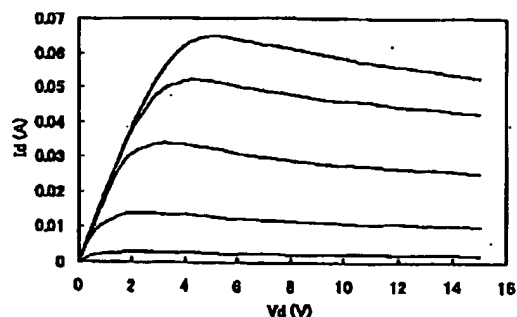
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 4G077 AA03 BE11 BE13 BE15 DB01
ED06 EF03
5F045 AB14 AB17 AD14 AE25 AF09
CA06 DA53 DP02 DQ06 EH11
5F102 GB01 GCD1 GD01 GJ10 GK04
GL04 GM04 GQ03 GQ09 HC01